

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-224280

(43)Date of publication of application : 17.08.1999

(51)Int.Cl. G06F 17/50
H01L 21/82

(21)Application number : 10-318507 (71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 10.11.1998 (72)Inventor : FUKUMOTO MINAKO
TOYONAGA MASAHIKO
KIMURA FUMIHIRO

(30)Priority

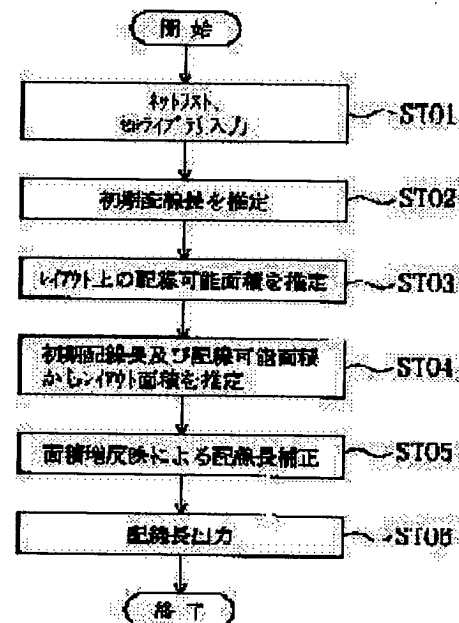
Priority number : 09313372 Priority date : 14.11.1997 Priority country : JP

(54) WIRING LENGTH ESTIMATION METHOD FOR LSI LAYOUT DESIGN

(57)Abstract:

PROBLEM TO BE SOLVED: To improve the accuracy of wiring length estimation for an LSI based on a basic wiring length for each fan-out number by estimating the layout area of an object LSI and correcting an initial wiring length so as to determine the total wiring length of the object LSI.

SOLUTION: Required information is extracted from a net list and a cell library (ST01). Based on information extracted from the net list and the cell library, the initial wiring length of an object LSI is estimated based on respective basic wiring length determined from the semi-peripheral length of a square (ST02). An area to be wired on the layout of the object LSI is estimated (ST03). A wiring area occupied by wiring on the layout of the object LSI is obtained from the initial wiring length and the layout area of the object LSI is estimated (ST04). In order to determine the total wiring length of the object LSI, the initial wiring length is corrected (ST05). Then, the total wiring length reflecting a wiring length increase rate is outputted (ST06). Thus, highly accurate wiring length estimation is realized.



LEGAL STATUS

[Date of request for examination] 10.11.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or

application converted registration]

[Date of final disposal for application]

[Patent number] 2972759

[Date of registration] 27.08.1999

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-224280

(43) 公開日 平成11年(1999) 8月17日

(51) Int.Cl.⁸

識別記号

F I

G 0 6 F 17/50

G 0 6 F 15/60

6 6 6 X

H 0 1 L 21/82

6 6 6 Z

H 0 1 L 21/82

W

審査請求 有 請求項の数 7 O L (全 12 頁)

(21) 出願番号 特願平10-318507

(22) 出願日 平成10年(1998)11月10日

(31) 優先権主張番号 特願平9-313372

(32) 優先日 平 9 (1997)11月14日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 福本 美奈子

大阪府門真市大字門真1006番地 松下電器

産業株式会社内

(72) 発明者 豊永 昌彦

大阪府門真市大字門真1006番地 松下電器

産業株式会社内

(72) 発明者 木村 文浩

大阪府門真市大字門真1006番地 松下電器

産業株式会社内

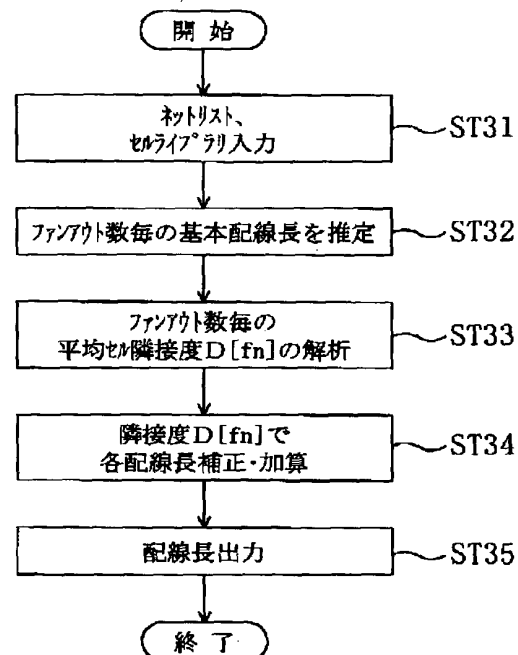
(74) 代理人 弁理士 前田 弘 (外 1 名)

(54) 【発明の名称】 L S I レイアウト設計の配線長推定方法

(57) 【要約】

【課題】 レイアウト設計前の L S I の配線長推定精度を向上させる。

【解決手段】 ファンアウト数 f_n のネット毎の基本配線長 $L_m[f_n]$ を、 $L_m[f_n] = \{ \text{Suf}[f_n] \times (f_n + 1) \}^{1/2}$ により推定する。 $\text{Suf}[f_n]$ はネット毎のセル平均面積である。続いて、各セルについて距離 r_1 以内のセル個数 N_1 と、距離 r_2 ($r_1 \neq r_2$) 以内のセル個数 N_2 とを求め、セル隣接度 D_c を、 $D_c = (\log[N_1] - \log[N_2]) / (\log[r_1] - \log[r_2])$ により求め、ファンアウト数毎の平均セル隣接度 $D[f_n]$ を求める。そして、 $L_t = \Sigma (A \times L_m[f_n] \times P \times Q \times R)$ 及び $Q = 1 + G \times f_n \times H^{D[f_n]}$ により、対象 L S I の支線長を含む総配線長 L_t を決定する。 P はネットの相互関係に基づくネット広がりを反映するための補正項、 R はレイアウト形状 (アスペクト比) を反映するための補正項である。 A 、 G 及び H は定数であり、 Q は支線伸び率である。



【特許請求の範囲】

【請求項 1】 L S I のレイアウト設計のために、L S I の接続情報を記述したネットリスト及び L S I 設計に用いるセルの情報を格納したセルライブラリから、対象 L S I の配線長を推定するための方法であって、前記ネットリスト及びセルライブラリから抽出した情報に基づき、各ファンアウト数のネットについてセルの平均面積に当該ファンアウト数のネット 1 個当たりのセル個数を乗じた値に相当する面積を持つ正方形の半周囲長から決定した各基本配線長を基にして、前記対象 L S I の初期配線長を推定する工程と、前記セルライブラリから抽出した情報に基づき前記対象 L S I の総セル面積を得て、該総セル面積から前記対象 L S I のレイアウト上の配線可能面積を推定する工程と、前記初期配線長から前記対象 L S I のレイアウト上で配線が占める配線面積を求め、前記配線面積が前記配線可能面積より大きいときには前記配線面積と前記配線可能面積との差を前記総セル面積に加えて得た面積を採用することにより、前記対象 L S I のレイアウト面積を推定する工程と、前記対象 L S I の総配線長を決定するように、前記総セル面積から前記レイアウト面積への増加分に応じて前記初期配線長を補正する工程とを備えたことを特徴とする配線長推定方法。

【請求項 2】 請求項 1 記載の配線長推定方法において、前記対象 L S I のレイアウト上の配線可能面積を推定する工程は、当該レイアウトにおける配線の通りにくさを反映した配線可能面積が得られるように、当該レイアウトを構成する全セルのピン総数に対する前記総セル面積の割合を算出し、該算出された割合を前記総セル面積に乘じて得た面積を採用することにより前記配線可能面積を求める工程を備えたことを特徴とする配線長推定方法。

【請求項 3】 L S I のレイアウト設計のために、L S I の接続情報を記述したネットリスト及び L S I 設計に用いるセルの情報を格納したセルライブラリから、対象 L S I の配線長を推定するための方法であって、前記ネットリスト及びセルライブラリから抽出した情報に基づき、各ファンアウト数のネットについてセルの平均面積に当該ファンアウト数のネット 1 個当たりのセル個数を乗じた値に相当する面積を持つ正方形の半周囲長から決定した各基本配線長を基にして、前記対象 L S I の初期配線長を推定する工程と、前記対象 L S I の総配線長を決定するように、前記セルライブラリから抽出した情報に基づき、セルの縦横比平均値に応じて前記初期配線長を補正する工程とを備えたことを特徴とする配線長推定方法。

【請求項 4】 L S I のレイアウト設計のために、L S

I の接続情報を記述したネットリスト及び L S I 設計に用いるセルの情報を格納したセルライブラリから、対象 L S I の配線長を推定するための方法であって、前記ネットリスト及びセルライブラリから抽出した情報に基づき、各ファンアウト数のネット毎の基本配線長を推定する工程と、前記ネットリストから抽出した情報に基づき、各セルについて当該セルから接続距離 r_1 以内に存在するセルの個数 N_1 と、当該セルから他の接続距離 r_2 以内に存在するセルの個数 N_2 とを求め、前記セル個数 N_1 の対数と前記セル個数 N_2 の対数との差と、前記接続距離 r_1 の対数と前記接続距離 r_2 の対数との差との比をセル隣接度として求め、前記対象 L S I の全セルについての前記セル隣接度の平均値を前記対象 L S I の平均セル隣接度として求める工程と、前記対象 L S I の支線長を含む総配線長を決定するように、個々のファンアウト数と前記対象 L S I の平均セル隣接度とに応じて、前記ネット毎の基本配線長をそれぞれ補正して加算する工程とを備えたことを特徴とする配線長推定方法。

【請求項 5】 L S I のレイアウト設計のために、L S I の接続情報を記述したネットリスト及び L S I 設計に用いるセルの情報を格納したセルライブラリから、対象 L S I の配線長を推定するための方法であって、前記ネットリスト及びセルライブラリから抽出した情報に基づき、各ファンアウト数のネット毎の基本配線長を推定する工程と、前記ネットリストから抽出した情報に基づき、各セルについて当該セルから接続距離 r_1 以内に存在するセルの個数 N_1 と、当該セルから他の接続距離 r_2 以内に存在するセルの個数 N_2 とを求め、前記セル個数 N_1 の対数と前記セル個数 N_2 の対数との差と、前記接続距離 r_1 の対数と前記接続距離 r_2 の対数との差との比をセル隣接度として求め、各ファンアウト数毎のネットに属する個々のセルの前記セル隣接度の平均値をファンアウト数毎の平均セル隣接度として求める工程と、前記対象 L S I の支線長を含む総配線長を決定するように、個々のファンアウト数と前記ファンアウト数毎の平均セル隣接度とに応じて、前記ネット毎の基本配線長をそれぞれ補正して加算する工程とを備えたことを特徴とする配線長推定方法。

【請求項 6】 L S I のレイアウト設計のために、L S I の接続情報を記述したネットリスト及び L S I 設計に用いるセルの情報を格納したセルライブラリから、対象 L S I の配線長を推定するための方法であって、前記ネットリストから抽出した情報に基づき、各セルについて当該セルから接続距離 r_1 以内に存在するセルの個数 N_1 と、当該セルから他の接続距離 r_2 以内に存在するセルの個数 N_2 とを求め、前記セル個数 N_1 の対数と前記セル個数 N_2 の対数との差と、前記接続距離 r_1

の対数と前記接続距離 r_2 の対数との差との比をセル隣接度として求め、前記対象 LSI 中の特定の信号パスに関わるネットに属する個々のセルの前記セル隣接度の平均値を前記信号パスの平均セル隣接度として求める工程と、

前記セルライブラリから抽出した情報と、前記信号パスの平均セル隣接度とに基づき、前記信号パスの支線長を含む総配線長を推定する工程とを備えたことを特徴とする配線長推定方法。

【請求項7】 LSI のレイアウト設計のために、 LSI の接続情報を記述したネットリスト及び LSI 設計に用いるセルの情報を格納したセルライブラリから、対象 LSI の配線長を推定するための方法であって、前記ネットリストから抽出した情報に基づき、各セルについて当該セルから接続距離 r_1 以内に存在するセルの個数 N_1 と、当該セルから他の接続距離 r_2 以内に存在するセルの個数 N_2 とを求め、前記セル個数 N_1 の対数と前記セル個数 N_2 の対数との差と、前記接続距離 r_1 の対数と前記接続距離 r_2 の対数との差との比をセル隣接度として求める工程と、前記セルライブラリから抽出した情報と、前記対象 LSI 中の特定の信号パスに関わるネットに属する個々のセルの前記セル隣接度とに基づき、前記信号パスの支線長を含む総配線長を推定する工程とを備えたことを特徴とする配線長推定方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、計算機を用いた LSI 設計に関するものであり、特に、 LSI 設計の工数を削減すべく、レイアウト設計前に実際のレイアウトの配線長を推定するための方法に関するものである。

【0002】

【従来の技術】近年の LSI 微細化技術の進歩により、数百万ゲートレベルの大規模な回路を実現する $VLSI$ が製造可能になってきた。一方、マルチメディア機器などの電子機器の高性能化と軽量化に伴い、大規模回路の1チップ LSI 化が求められている。高性能かつ大規模な LSI の設計開発を実現するための設計方法として、トップダウン設計方法が提唱されている。このトップダウン設計方法では、 LSI 機能仕様を言語により規定し、以降の論理回路の生成までの工程を計算機による自動処理によって実現するものである。各設計段階で扱うデータ量は、言語設計レベル、論理回路設計レベル、レイアウト設計レベルの順に膨大になるので、言語レベルで設計することによって全体として開発効率が向上することになる。

【0003】従来の LSI では、レイアウト時の配線遅延はマクロセルの遅延に比べて非常に小さく、回路のタイミング仕様に重要な影響を与える信号遅延はマクロセルの駆動能力によりほぼ決定されていた。ところが、近

年の微細化技術と高集積化の進歩に伴い、回路遅延に対する配線遅延の割合が大きくなり、トップダウン設計手法の論理合成において、従来無視することができた配線遅延を考慮する必要性が生じている。すなわち、配線抵抗、配線間容量がトランジスタ駆動能力に対して相対的に増大してきたため、配線遅延を考慮せずに設計した場合には、レイアウト設計後に再度論理合成を繰り返す必要が生じることになり、設計効率の改善が望めなくなってきた。

【0004】このような背景から、論理合成においてレイアウト結果（特に、配線長）を考慮する必要があるため、短時間にかつ高精度に配線長を推定する方法の開発が求められている。

【0005】木村文浩らは、「配置評価に基づくレイアウト推定手法」、 DA シンポジウム'96 論文集、pp177-182、1996において、概略配置配線を行わずに LSI の配線長を推定するための方法として、セル平均面積及びレイアウト形状からファンアウト数毎の配線長を推定する方法を提案している。これは、自動配置配線の観点から重要となる配置素子の広がり及び配線の分岐をレイアウト結果の推定において考慮するために、過去のレイアウト結果を参考にして、ネットのファンアウト数に着目することにしたものである。

【0006】図12は、ネットリストが記述するセルの接続関係を示す図であり、セル、ネット及びファンアウトの関係を示している。ネットリストの最小単位であるネットは、ネットに属する端子とその端子を有するセルの情報を持つ。このとき、ネットのファンアウト数とは、ネットに属する端子の数から1を減じたものである。図12において、ネットAのファンアウト数は4であり、ネットBのファンアウト数は3である。

【0007】ファンアウト数に着目することによって、ネットリストのネットを分類することができる。そして、ファンアウト数毎にネットの配線長を精度良く推定することができれば、その総和を求めることによって総配線長も精度良く推定することができる。この考えのもとに、木村らは次のような配線長推定式を提案した。すなわち、

$$L_t = \sum (A \times L_m[f_n] \times P \times Q \times R)$$

である。ここに、

L_t : 推定対象 LSI の総配線長

Σ : 全ネットに関する総和

A : レイアウトツールに依存する定数

f_n : ネットのファンアウト数

$L_m[f_n]$: セルが密集して配置されたとの仮定のもとに、ファンアウト数 f_n のネットについてセルの平均面積に当該ファンアウト数 f_n のネット1個当たりのセル個数 ($f_n + 1$) を乗じた値に相当する面積を持つ正方形の半周長から決定した基本配線長

P : ネットの相互関係に基づくネット広がりを反映す

るための補正項（第 1 の比率）

Q： ネット内の支線長を反映するための補正項（第 2 の比率）

R： LSI ブロックのレイアウト形状（アスペクト比）を反映するための補正項（第 3 の比率）である。

【0008】

【発明が解決しようとする課題】上記木村らの配線長推定方法では、十分に満足できる精度を有する推定結果が得られないことがあり、より高精度に配線長を推定する

ためには、以下のような課題を解決する必要がある。
【0009】(1) 上記基本配線長（初期配線長）の推定の際に、推定対象 LSI で使用されているスタンダードセルの平均セル幅を考慮する必要がある。

【0010】(2) ファンアウト数毎の配線長を推定する際に、回路の複雑さを十分に捉える必要がある。

【0011】(3) 配線面積がレイアウト上の配線可能面積を超えると、レイアウトの推定面積は増加する。この場合、チャンネル領域が広がり、配線が延びる。そこで、レイアウト面積の増加に伴う配線長の増加を考慮する必

要がある。
【0012】(4) 回路の特徴を捉えて配線可能面積を回路毎に推定する必要がある。

【0013】本発明の目的は、上記ファンアウト数毎の基本配線長に基づく LSI の配線長推定の精度を向上させることにある。

【0014】

【課題を解決するための手段】上記目的を達成するために、第 1 の発明では、推定配線長から求めた配線面積がレイアウト上の配線可能面積より大きいとき、つまり配線のオーバーフローが生じたときには、レイアウト面積が総セル面積（例えば、スタンダードセルの総面積）より大きくなってしまい、それに伴って配線長が増加する点に鑑みて、レイアウト面積の推定結果を反映するように配線長を補正することとした。具体的に説明すると、請求項 1 の発明が講じた手段は、LSI のレイアウト設計のために、LSI の接続情報を記述したネットリスト及び LSI 設計に用いるセルの情報を格納したセルライブラリから対象 LSI の配線長を推定するための方法として、ネットリスト及びセルライブラリから抽出した情報に基づき各ファンアウト数のネットについてセルの平均面積に当該ファンアウト数のネット 1 個当たりのセル個数を乗じた値に相当する面積を持つ正方形の半周囲長から決定した各基本配線長を基にして対象 LSI の初期配線長を推定する工程と、セルライブラリから抽出した情報に基づき対象 LSI の総セル面積を得て、該総セル面積から対象 LSI のレイアウト上の配線可能面積を推定する工程と、前記初期配線長から対象 LSI のレイアウト上で配線が占める配線面積を求め、該配線面積が前記配線可能面積より大きいときには配線面積と配線可能

面積との差を前記総セル面積に加えて得た面積を採用することにより対象 LSI のレイアウト面積を推定する工程と、対象 LSI の総配線長を決定するように前記総セル面積から前記レイアウト面積への増加分に応じて前記初期配線長を補正する工程とを備えた方法を採用したものである。

【0015】また、第 2 の発明では、前記対象 LSI のレイアウト上の配線可能面積を推定するに当たり、当該レイアウトにおける配線の通りにくさを反映した配線可能面積が得られるようにした。具体的に説明すると、請求項 2 の発明における前記対象 LSI のレイアウト上の配線可能面積を推定する工程は、当該レイアウトを構成する全セルのピン総数に対する前記総セル面積の割合を算出し、該算出された割合を前記総セル面積に乗じて得た面積を採用することにより前記配線可能面積を求める工程を備えたものである。

【0016】また、第 3 の発明では、非正方形のセル形状がセルの配置に及ぼす影響を考慮して、セルの縦横比平均値に応じて配線長を補正することとした。具体的に説明すると、請求項 3 の発明が講じた手段は、LSI のレイアウト設計のために、LSI の接続情報を記述したネットリスト及び LSI 設計に用いるセルの情報を格納したセルライブラリから対象 LSI の配線長を推定するための方法として、ネットリスト及びセルライブラリから抽出した情報に基づき各ファンアウト数のネットについてセルの平均面積に当該ファンアウト数のネット 1 個当たりのセル個数を乗じた値に相当する面積を持つ正方形の半周囲長から決定した各基本配線長を基にして対象 LSI の初期配線長を推定する工程と、対象 LSI の総配線長を決定するようにセルライブラリから抽出した情報に基づきセルの縦横比平均値に応じて初期配線長を補正する工程とを備えた方法を採用したものである。

【0017】また、第 4 の発明では、セル間の 2 次以上の隣接関係を表すセル隣接度 D_c を新たに導入し、ネット内の支線長を正確に反映するように、全セルの平均セル隣接度 D に応じて配線長を補正することとした。具体的に説明すると、請求項 4 の発明が講じた手段は、LSI のレイアウト設計のために、LSI の接続情報を記述したネットリスト及び LSI 設計に用いるセルの情報を格納したセルライブラリから対象 LSI の配線長を推定するための方法として、ネットリスト及びセルライブラリから抽出した情報に基づき各ファンアウト数のネット毎の基本配線長を推定する工程と、ネットリストから抽出した情報に基づき各セルについて当該セルから接続距離 r_1 以内に存在するセルの個数 N_1 と、当該セルから他の接続距離 r_2 以内に存在するセルの個数 N_2 とを求め、前記セル個数 N_1 の対数と前記セル個数 N_2 の対数との差と、前記接続距離 r_1 の対数と前記接続距離 r_2 の対数との差との比をセル隣接度 D_c として求め、対象 LSI の全セルについてのセル隣接度 D_c の平均値を対

象 L S I の平均セル隣接度 D として求める工程と、対象 L S I の支線長を含む総配線長を決定するように個々のファンアウト数と前記対象 L S I の平均セル隣接度 D とに応じて前記ネット毎の基本配線長をそれぞれ補正して加算する工程とを備えた方法を採用したものである。

【0018】また、第5の発明では、セル間の2次以上の隣接関係を表すセル隣接度 Dc を新たに導入し、ネット内の支線長を更に正確に反映するように、ファンアウト数毎の平均セル隣接度 D [fn] に応じて配線長を補正することとした。具体的に説明すると、請求項5の発明が講じた手段は、L S I のレイアウト設計のために、L S I の接続情報を記述したネットリスト及び L S I 設計に用いるセルの情報を格納したセルライブラリから対象 L S I の配線長を推定するための方法として、ネットリスト及びセルライブラリから抽出した情報に基づき各ファンアウト数のネット毎の基本配線長を推定する工程と、ネットリストから抽出した情報に基づき各セルについて当該セルから接続距離 r 1 以内に存在するセルの個数 N 1 と、当該セルから他の接続距離 r 2 以内に存在するセルの個数 N 2 とを求め、前記セル個数 N 1 の対数と前記セル個数 N 2 の対数との差と、前記接続距離 r 1 の対数と前記接続距離 r 2 の対数との差との比をセル隣接度 Dc として求め、各ファンアウト数毎のネットに属する個々のセルのセル隣接度 Dc の平均値をファンアウト数毎の平均セル隣接度 D [fn] として求める工程と、対象 L S I の支線長を含む総配線長を決定するように個々のファンアウト数と前記ファンアウト数毎の平均セル隣接度 D [fn] とに応じて前記ネット毎の基本配線長をそれぞれ補正して加算する工程とを備えた方法を採用したものである。

【0019】また、第6の発明では、セル間の2次以上の隣接関係を表すセル隣接度 Dc を新たに導入し、タイミング推定で重要になる特定信号パスの支線長を含む該パスの総配線長を、該パスに関わるネットに属する個々のセルの平均セル隣接度 Dp に基づいて推定することとした。具体的に説明すると、請求項6の発明が講じた手段は、L S I のレイアウト設計のために、L S I の接続情報を記述したネットリスト及び L S I 設計に用いるセルの情報を格納したセルライブラリから対象 L S I の配線長を推定するための方法として、ネットリストから抽出した情報に基づき各セルについて当該セルから接続距離 r 1 以内に存在するセルの個数 N 1 と、当該セルから他の接続距離 r 2 以内に存在するセルの個数 N 2 とを求め、前記セル個数 N 1 の対数と前記セル個数 N 2 の対数との差と、前記接続距離 r 1 の対数と前記接続距離 r 2 の対数との差との比をセル隣接度 Dc として求め、対象 L S I 中の特定の信号パスに関わるネットに属する個々のセルのセル隣接度 Dc の平均値を前記信号パスの平均

$$L_t = \Sigma (A \times L_m [fn] \times P \times Q \times R) \quad \dots (1.0)$$

である。ただし、

セル隣接度 Dp として求める工程と、セルライブラリから抽出した情報と前記信号パスの平均セル隣接度 Dp とに基づき該信号パスの支線長を含む総配線長を推定する工程とを備えた方法を採用したものである。

【0020】また、第7の発明では、セル間の2次以上の隣接関係を表すセル隣接度 Dc を新たに導入し、タイミング推定で重要になる特定信号パスの支線長を含む該パスの総配線長を、該パスに関わるネットに属する個々のセルのセル隣接度 Dc に基づいて推定することとし

た。具体的に説明すると、請求項7の発明が講じた手段は、L S I のレイアウト設計のために、L S I の接続情報を記述したネットリスト及び L S I 設計に用いるセルの情報を格納したセルライブラリから対象 L S I の配線長を推定するための方法として、ネットリストから抽出した情報に基づき各セルについて当該セルから接続距離 r 1 以内に存在するセルの個数 N 1 と、当該セルから他の接続距離 r 2 以内に存在するセルの個数 N 2 とを求め、前記セル個数 N 1 の対数と前記セル個数 N 2 の対数との差と、前記接続距離 r 1 の対数と前記接続距離 r 2 の対数との差との比をセル隣接度 Dc として求める工程と、セルライブラリから抽出した情報と対象 L S I 中の特定の信号パスに関わるネットに属する個々のセルのセル隣接度 Dc とに基づき該信号パスの支線長を含む総配線長を推定する工程とを備えた方法を採用したものである。

【0021】

【発明の実施の形態】以下、本発明の実施形態に係る L S I の配線長推定方法について、図面を参照しながら説明する。

【0022】（実施形態1）図1は、本発明の第1の実施形態に係る配線長推定方法の工程の流れを示している。以下、図1に沿って1工程毎に説明する。

【0023】まず、工程 S T 0 1 では、ネットリスト及びセルライブラリから所要の情報を抽出する。ネットリストは、推定対象 L S I の接続情報を記述したものである。セルライブラリは、L S I 設計に用いるセルの物理情報（セルを構成するトランジスタ回路、論理動作、動作時間、出力駆動能力、形状など）を格納したものである。

【0024】工程 S T 0 2 では、上記ネットリスト及びセルライブラリから抽出した情報に基づき、各ファンアウト数 fn のネットについてセルの平均面積 Suf [fn] に当該ファンアウト数 fn のネット1個当たりのセル個数 (fn+1) を乗じた値に相当する面積を持つ正方形の半周囲長から決定した各基本配線長 Lm [fn] を基にして、対象 L S I の初期配線長 Lt を推定する。初期配線長 Lt の推定式は、前記木村らの方法と同様に、

9

10

$$L_m[f_n] = \{Suf[f_n] \times (f_n + 1)\}^{1/2} \quad \dots (1.1)$$

$$P = \{(S_s)^{1/2} + (Sf[f_n])^{1/2}\} / (2 \times Sf[f_n])^{1/2} \quad \dots (1.2)$$

$$Q = (1 - r^{f_n-1}) / (1 - r) \quad \dots (1.3)$$

$$R = (A_s)^{b/2} + (A_s)^{-b/2} \quad \dots (1.4)$$

である。ここに、

Σ : 全ネットに関する総和

A : レイアウトツールに依存した定数

P : 補正項 (第1の比率)

S_s : 総セル面積

$Sf[f_n]$: ファンアウト数 f_n のネットに接続するセルの重複を除いた総面積

Q : 補正項 (第2の比率)

r : 支線長推定のための定数 (例えば、 $r = 0.5$)

R : 補正項 (第3の比率)

A_s : レイアウトブロックのアスペクト比 (縦横比)

b : レイアウトツールに依存した定数

である。

【0025】続いて、工程ST03では、対象LSIのレイアウト上の配線可能面積 (当該レイアウト上に配線が通過できる領域の面積) S_o を推定する。この工程ST03では、当該レイアウト上の配線の通過しにくさを反映した配線可能面積 S_o が得られるように、当該レイアウトを構成する全セルのピン総数 P_n に対する総セル

$$S_o = T \times (S_s / P_n) \times S_s$$

である。ここに、Tは調整パラメータである。

【0028】図1中の工程ST04では、工程ST02で求めた初期配線長 L_t から対象LSIのレイアウト上で配線が占める配線面積 S_w を求め、配線面積 S_w が工程ST03で求めた配線可能面積 S_o より大きくないときは総セル面積 S_s を、配線面積 S_w が配線可能面積 S_o ※

$$S_w = \alpha \times L_t \times (L_w + L_s)$$

である。ここに、

α : 配線集中などにより無駄な領域を考慮して補正するパラメータ

L_w : 各配線の線幅

L_s : 配線間のスペース

$$S_e = S_s + (S_w - S_o) \times \theta (S_w - S_o) \quad \dots (1.7)$$

である。ここに、 $\theta(x)$ は変数 x のステップ関数であって、 $x \leq 0$ のとき $\theta(x) = 0$ であり、 $x > 0$ のとき $\theta(x) = 1$ である。

$$L_t' = L_t \times (S_e / S_s)^{1/2}$$

により初期配線長 L_t を補正する。ここに、 $(S_e / S_s)^{1/2}$ は総セル面積 S_s からレイアウト面積 S_e への面積増加に伴う配線長増加率である。

【0032】そして、上記配線長増加率を反映した総配線長 L_t' を出力する工程ST06により、配線長推定処理が完了する。

【0033】以上のとおり、図1の方法によれば、レイアウト面積の推定結果 S_e を反映するように配線面積 S_w

*面積 S_s の割合で示された回路の特徴に着目する。以下、具体例を用いて説明する。

【0026】図2(a)及び(b)は、セル上の配線可能面積とピンとの関係を説明するための概念図である。

図2(a)のセル1は、図2(b)のセル2より大きいセル面積を有する。図中のP1及びP2は、セルとセルとの接続、セルと電源との接続又はセルと入出力との接続に供されるピンを表している。図示の配線層では縦方向の配線のみが許されるものと仮定すると、セル1とセル2とは各々ピン数は同数であるが、セル面積の大きいセル1の配線可能面積 $S_o(1)$ の方がセル2の配線可能面積 $S_o(2)$ よりも大きく、セル1の方が配線は通過しやすい。そこで、工程ST03では、当該レイアウトを構成する全セルのピン総数 P_n に対する総セル面積 S_s の割合を算出し、この割合を総セル面積 S_s に乗じて得た面積を、当該レイアウトの配線可能面積 S_o として回路毎に求めるものとする。

【0027】よって、配線可能面積 S_o の式は、

$$\dots (1.5)$$

※より大きいときには配線面積 S_w と配線可能面積 S_o との差すなわちオーバーフロー面積 ($S_w - S_o$) を総セル面積 S_s に加えて得た面積をそれぞれ採用することにより、対象LSIのレイアウト面積 S_e を推定する。

【0029】初期配線長 L_t と配線面積 S_w との関係は、

$$\dots (1.6)$$

★である。

【0030】また、配線面積 S_w と配線可能面積 S_o との関係を考慮して対象LSIのレイアウト面積 S_e の推定式を示すと、

★

$$S_e = S_s + (S_w - S_o) \times \theta (S_w - S_o) \quad \dots (1.7)$$

☆【0031】工程ST05では、対象LSIの総配線長 L_t' を決定するように、

☆

$$L_t' = L_t \times (S_e / S_s)^{1/2} \quad \dots (1.8)$$

に応じて初期配線長 L_t を補正することとしたので、配線数の多いLSIにおいても精度の高い配線長推定を実現できる。また、対象LSIのレイアウト上の配線可能面積 S_o を推定するに当たり、当該レイアウトにおける配線の通りにくさが該配線可能面積 S_o に反映されるようにしたので、該配線可能面積 S_o を用いることにより更に精度の高い配線長推定を実現できる。

【0034】なお、ピンの制約を受けない配線層を有す

る多層配線構造を採用する場合には、配線可能面積 S_o * *を、

$$S_o = \{ (L_y - L_x) \times K + T \times (S_s / P_n) \} \times S_s \quad \dots (1.9)$$

により推定する。ここに、 L_y は配線層の総数、 L_x はピンの制約を受けない配線層の総数、 K はレイアウトツールに依存した定数である。

【0035】式(1.8)で用いた配線長増加率(S_e / S_s)^{1/2}が1.0より大きい場合にはチャンネル領域が発生するものと仮定する。この場合には、式(1.8)で求めた総配線長 L_t' を基にして、式(1.6)及び式(1.7)によるレイアウト面積の推定と、式(1.8)による総配線長の推定とを再度実行すればよい。

【0036】(実施形態2)図3は、本発明の第2の実施形態に係る配線長推定方法の工程の流れを示している。以下、図3に沿って1工程毎に説明する。 ※

$$L_t' = L_t \times (W_c / H_c)^{1/2}$$

により初期配線長 L_t を補正する。ここに、

W_c : 対象LSIで使用される全セルの横幅の平均値

H_c : 全セルの高さの平均値(スタンダードセルを用いる場合には一定値)

である。

【0040】そして、上記セル形状を反映した総配線長 L_t' を出力する工程ST14により、配線長推定処理が完了する。

【0041】図4は、推定式(1.0)～(1.4)を採用した場合の従来の配線長推定精度の具体例を示しており、最右欄が配線長の推定誤差を表している。図4によれば、セルの縦横比平均値 W_c / H_c が大きい回路ほど誤差が大きく負になる一方、セルの縦横比平均値 W_c / H_c が小さい回路ほど誤差が大きく正になっている。そこで、非正方形のセル形状がセルの配置に及ぼす影響を考慮して、式(2.0)により、セルの縦横比平均値 W_c / H_c に応じて配線長を補正することとした。

【0042】以上のとおり、図3の方法によれば、セルの縦横比平均値 W_c / H_c に応じて初期配線長 L_t を補正 ★

$$D_c = (\log [N_1] - \log [N_2]) / (\log [r_1] - \log [r_2]) \quad \dots (3.0)$$

により求め、全セルについてのセル隣接度 D_c の平均値を対象LSIの平均セル隣接度 D として求める。

【0047】さて、特開平6-203106号公報には、フラクタル次元の類推から、回路全体の平均的な性質を表すように、ある素子に関する1次隣接素子数の対数と、該素子数を含む2次隣接素子数の対数との差で決定される分類値 λ を採用する点が開示されている。図5の工程ST23では、この分類値 λ とは違って、個々のセル単位で隣接関係を表す値(次元値)を求める。これは、セル個々の接続関係から配線長が決定付けられるという仮定に基づいている。

【0048】図6(a)、(b)及び(c)は、本発明におけるセル隣接度 D_c の定義を説明するための概念図

※【0037】まず、工程ST11では、図1の場合と同様に、ネットリスト及びセルライブラリから所要の情報を抽出する。

【0038】工程ST12では、図1の場合と同様にして対象LSIの初期配線長 L_t を推定する。配線長推定式は、式(1.0)～式(1.4)のとおりである。ここでは、全セルが正方形の形状を有するものと仮定している。

【0039】続いて、工程ST13では、対象LSIの総配線長 L_t' を決定するように、セルライブラリからの抽出情報に基づいて求めたセルの縦横比平均値 W_c / H_c に応じて、

$$\dots (2.0)$$

★することとしたので、全セル形状が正方形であるとの仮定に起因した配線長推定誤差を低減できる。

【0043】(実施形態3)図5は、本発明の第3の実施形態に係る配線長推定方法の工程の流れを示している。以下、図5に沿って1工程毎に説明する。

【0044】まず、工程ST21では、図1の場合と同様に、ネットリスト及びセルライブラリから所要の情報を抽出する。

【0045】工程ST22では、上記ネットリスト及びセルライブラリから抽出した情報に基づき、各ファンアウト数 f_n のネット毎の基本配線長 $L_m [f_n]$ を推定する。ファンアウト数毎の基本配線長 $L_m [f_n]$ の推定は、式(1.1)による。

【0046】続いて、工程ST23では、ネットリストから抽出した情報に基づき、各セルについて当該セルから接続距離 r_1 以内に存在するセルの個数 N_1 と、当該セルから接続距離 r_2 ($r_1 \neq r_2$)以内に存在するセルの個数 N_2 とを求め、セル隣接度 D_c を、

である。図6(a)はネットリストの二部グラフ表現であって、白丸はセルを、小さな黒丸はネットのノードをそれぞれ表し、実線は結線関係を表す。ここでは、ネットのノード(黒丸)を介してグラフ距離(接続距離)が2のセル間を1次隣接と呼び、グラフ距離が4のセル間を2次隣接と呼ぶ。図6(b)及び(c)によれば、あるセルCについて、接続距離2 ($= r_1$)以内に存在する総セル数 N_1 が6であり、接続距離4 ($= r_2$)以内に存在する総セル数 N_2 が9である。したがって、セルCの隣接度 D_c は、 $D_c = (\log [6] - \log [9]) / (\log [2] - \log [4]) = 0.585$ として求められる。この操作を全セルについて行い、全セルの平均セル隣接度 D を算出する。

【0049】次の工程ST24では、対象LSIの支線* *長を含む総配線長Ltを決定するように、

$$Lt = \sum (A \times Lm [fn] \times P \times Q' \times R) \quad \dots (3.1)$$

$$Q' = 1 + G \times fn \times H^D \quad \dots (3.2)$$

により、ネット毎の基本配線長Lm[fn]をそれぞれ補正して加算する。ここに、P及びRはそれぞれ式(1.2)及び式(1.4)により決定される比率である。G及びHは定数であり、Q'は個々のファンアウト数fnと平均セル隣接度Dとに応じた支線伸び率を表している。

【0050】そして、上記支線長を反映した総配線長Ltを出力する工程ST25により、配線長推定処理が完了する。

【0051】図7は、実際のレイアウト結果に基づく図であって、平均セル隣接度Dをパラメータとして支線伸び率とファンアウト数との関係を示している。ここに、支線伸び率とは、実際のレイアウトの各ファンアウト数毎の平均配線長を、いわゆるバウンディングボックスの半周囲長で割ったものである。実線はD=3.15の回路の支線伸び率を、破線はD=1.91の回路の支線伸び率をそれぞれ示している。図7によれば、支線伸び率がファンアウト数fnに比例し、かつ平均セル隣接度Dに依存して支線伸び率の傾きが変わる。したがって、式(3.2)が妥当であることが理解できる。

【0052】以上のとおり、図5の方法によれば、セル※

$$Lt = \sum (A \times Lm [fn] \times P \times Q'' \times R) \quad \dots (4.0)$$

$$Q'' = 1 + G \times fn \times H^{D[fn]} \quad \dots (4.1)$$

により、ネット毎の基本配線長Lm[fn]をそれぞれ補正して加算する。ここに、P及びRはそれぞれ式(1.2)及び式(1.4)により決定される比率である。G及びHは定数であり、Q''は個々のファンアウト数fnとファンアウト数毎の平均セル隣接度D[fn]とに応じた支線伸び率を表している。

【0058】そして、上記支線長を反映した総配線長Ltを出力する工程ST35により、配線長推定処理が完

$$Lt' = Lt \times (Se/Ss)^{1/2} \times (Wc/Hc)^{1/2} \quad \dots (4.2)$$

である。式(4.2)の推定精度を評価したところ、標準偏差16.75、つまり1σ(全回路の68%)について±8.4%のばらつき以内で総配線長を推定できることが確認された。なお、式(1.0)～式(1.4)による従来の推定精度は、標準偏差28.81、つまり1σ(全回路の68%)について±14.4%のばらつきであった。

【0061】(実施形態5)図9は、本発明の第5の実施形態に係る配線長推定方法の工程の流れを示してい

$$Ltx = Lm [fnx] \times Qp$$

$$Qp = 1 + G \times fnx \times H^{Dp}$$

とにより、当該特定信号パスの支線長を含む総配線長Ltxを推定する。ここに、G及びHは定数であり、Qpは当該特定信号パスに関わるネットのファンアウト数fnxと、工程ST42で求めた平均セル隣接度Dpとに応じ

※間の2次以上の隣接関係を表すセル隣接度Dcを新たに導入し、全セルの平均セル隣接度Dに応じて配線長を補正することとしたので、ネット内の支線長を正確に反映した高精度配線長推定を実現できる。

【0053】(実施形態4)図8は、本発明の第4の実施形態に係る配線長推定方法の工程の流れを示してい

る。以下、図8に沿って1工程毎に説明する。

【0054】まず、工程ST31では、図1の場合と同様に、ネットリスト及びセルライブラリから所要の情報を抽出する。

【0055】工程ST32では、図5の場合と同様に、式(1.1)により各ファンアウト数fnのネット毎の基本配線長Lm[fn]を推定する。

【0056】続いて、工程ST33では、各セルについてセル隣接度Dcを式(3.0)により求め、各ファンアウト数毎のネットに属する個々のセルのセル隣接度Dcの平均値をファンアウト数毎の平均セル隣接度D[fn]として求める。

【0057】次の工程ST34では、対象LSIの支線長を含む総配線長Ltを決定するように、

★了する。

【0059】以上のとおり、図8の方法によれば、ファンアウト数毎の平均セル隣接度D[fn]に応じて配線長を補正することとしたので、ネット内の支線長を更に正確に反映した高精度配線長推定を実現できる。

【0060】なお、図8の方法で得られた総配線長Ltを、図1及び図3の方法に従って更に補正することとしてもよい。この場合の補正式は、

☆る。以下、図9に沿って1工程毎に説明する。

【0062】まず、工程ST41では、図1の場合と同様に、ネットリスト及びセルライブラリから所要の情報を抽出する。

【0063】工程ST42では、各セルについてセル隣接度Dcを式(3.0)により求め、対象LSI中の特定の信号パスに関わるネットに属する個々のセルのセル隣接度Dcの平均値を平均セル隣接度Dpとして求める。

【0064】次の工程ST43では、式(1.1)と、

$$\dots (5.0)$$

$$\dots (5.1)$$

た支線伸び率を表している。

【0065】そして、上記支線長を反映したパス総配線長Ltxを出力する工程ST44により、配線長推定処理が完了する。

【0066】図10は、図9の配線長推定方法の適用例を示す図であって、2個のフリップフロップFF間の信号パスが図示されている。例えば、図10中のネットNについては、関係するセルの隣接度Dc1、Dc2、Dc3、Dc4の和から平均値を求める。図9の方法によれば、図10中の一方のフリップフロップから他方のフリップフロップまでの一連の信号の流れに関わる配線群の局所的な特異性を反映した配線長推定が可能になる。

【0067】以上のとおり、図9の方法によれば、タイミング推定で重要になる特定信号パスの支線長を含む該パスの総配線長Ltxを、該パスに関わるネットに属する個々のセルの平均セル隣接度Dplに基づいて推定することとしたので、該パスの支線長を正確に反映した高精度配線長推定を実現でき、レイアウト設計前のクリティカルパス遅延の推定などに有効である。

【0068】(実施形態6) 図11は、本発明の第6の実施形態に係る配線長推定方法の工程の流れを示している。以下、図11に沿って1工程毎に説明する。

【0069】まず、工程ST51では、図1の場合と同様に、ネットリスト及びセルライブラリから所要の情報

【0070】工程ST52で各セルについてセル隣接度Dcを式(3.0)により求めた後、次の工程ST53では、式(1.1)と、対象LSI中の特定の信号パスに関わるネットに属する個々のセルのセル隣接度Dcとに基づき、当該信号パスの支線長を含む総配線長を推定する。

【0071】そして、上記支線長を反映したパス総配線長を出力する工程ST54により、配線長推定処理が完了する。

【0072】以上のとおり、図11の方法によれば、タイミング推定で重要になる特定信号パスの支線長を含む該パスの総配線長を、該パスに関わるネットに属する個々のセルのセル隣接度Dcに基づいて推定することとしたので、該パスの支線長を更に正確に反映した高精度配線長推定を実現でき、レイアウト設計前のクリティカルパス遅延の推定などに有効である。

【0073】

【発明の効果】以上説明してきたとおり、請求項1の発明によれば、レイアウト面積の推定結果を反映するように配線面積に応じて配線長を補正することとしたので、配線数の多いLSIにおいても精度の高い配線長推定を実現できる。

【0074】また、請求項2の発明によれば、対象LSIのレイアウト上の配線可能面積を推定するに当たり、当該レイアウトにおける配線の通りにくさが該配線可能面積に反映されるようにしたので、該配線可能面積を用いることにより更に精度の高い配線長推定を実現できる。

【0075】また、請求項3の発明によれば、セルの縦

横比平均値に応じて配線長を補正することとしたので、全セル形状が正方形であるとの仮定に起因した配線長推定誤差を低減できる。

【0076】また、請求項4の発明によれば、セル間の2次以上の隣接関係を表すセル隣接度を新たに導入し、全セルの平均セル隣接度に応じて配線長を補正することとしたので、ネット内の支線長を正確に反映した高精度配線長推定を実現できる。

【0077】また、請求項5の発明によれば、セル間の2次以上の隣接関係を表すセル隣接度を新たに導入し、ファンアウト数毎の平均セル隣接度に応じて配線長を補正することとしたので、ネット内の支線長を更に正確に反映した高精度配線長推定を実現できる。

【0078】また、請求項6の発明によれば、セル間の2次以上の隣接関係を表すセル隣接度を新たに導入し、タイミング推定で重要になる特定信号パスの支線長を含む該パスの総配線長を、該パスに関わるネットに属する個々のセルの平均セル隣接度に基づいて推定することとしたので、該パスの支線長を正確に反映した高精度配線長推定を実現できる。

【0079】また、請求項7の発明によれば、セル間の2次以上の隣接関係を表すセル隣接度を新たに導入し、タイミング推定で重要になる特定信号パスの支線長を含む該パスの総配線長を、該パスに関わるネットに属する個々のセルのセル隣接度に基づいて推定することとしたので、該パスの支線長を更に正確に反映した高精度配線長推定を実現できる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係る配線長推定方法の工程の流れを示すフローチャート図である。

【図2】(a)及び(b)は、セル上の配線可能面積とピンとの関係を説明するための概念図である。

【図3】本発明の第2の実施形態に係る配線長推定方法の工程の流れを示すフローチャート図である。

【図4】推定式(1.0)～(1.4)を採用した場合の従来の配線長推定精度の具体例を示す図である。

【図5】本発明の第3の実施形態に係る配線長推定方法の工程の流れを示すフローチャート図である。

【図6】(a)、(b)及び(c)は、本発明におけるセル隣接度の定義を説明するための概念図である。

【図7】実際のレイアウト結果に基づく図であって、平均セル隣接度Dをパラメータとして支線伸び率とファンアウト数との関係を示す図である。

【図8】本発明の第4の実施形態に係る配線長推定方法の工程の流れを示すフローチャート図である。

【図9】本発明の第5の実施形態に係る配線長推定方法の工程の流れを示すフローチャート図である。

【図10】図9の配線長推定方法の適用例を示す図であって、2個のフリップフロップ間の信号パスを示す概念図である。

【図 1 1】本発明の第 6 の実施形態に係る配線長推定方法の工程の流れを示すフローチャート図である。

【図 1 2】セル、ネット及びファンアウトの関係を示す概念図である。

【符号の説明】

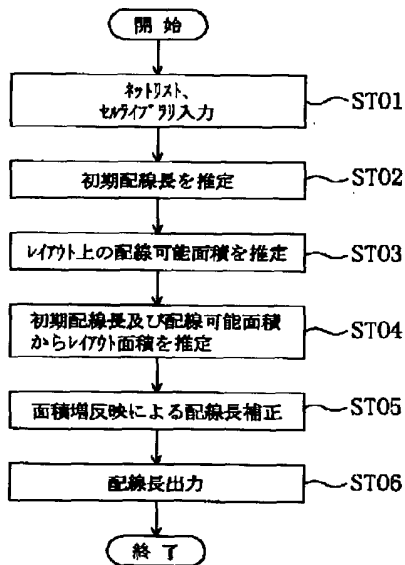
C セル

Dc; Dc0~Dc6 個々のセルのセル隣接度

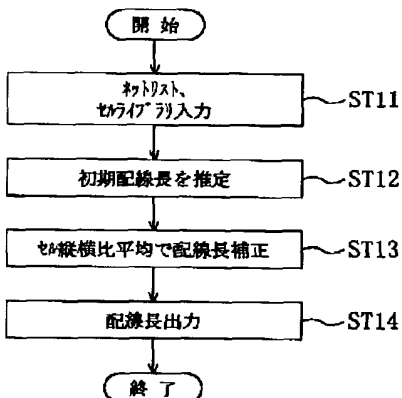
D 全セルの平均セル隣接度

D [fn] ファンアウト数毎の平均セル隣接度

【図 1】



【図 3】



Dp 特定パスに関わるネットに属する個々のセルの平均セル隣接度

FF フリップフロップ

N ネット

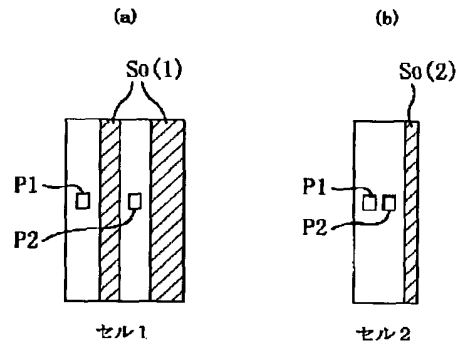
N1, N2 セル数

P1, P2 ピン

r1, r2 接続距離

So(1), So(2) 個々のセルの配線可能面積

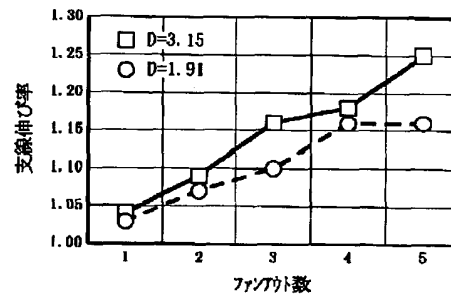
【図 2】



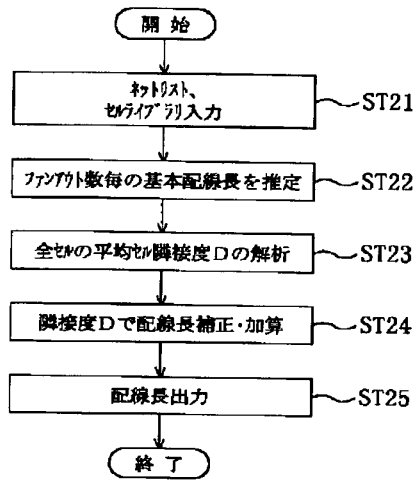
【図 4】

回路名	セル数	セグメント比 平均値	誤差(%)
回路 1	5825	0.32	46.9
回路 2	412	0.33	84.0
回路 3	2958	0.34	30.0
回路 4	423	0.38	30.9
回路 5	731	0.44	71.0
回路 6	7746	0.65	0.4
回路 7	1648	0.71	4.0
回路 8	1244	0.74	-6.0
回路 9	7696	0.80	-29.7
回路 10	19416	0.84	-46.6
回路 11	1849	0.84	-12.4
回路 12	2987	0.96	-20.7

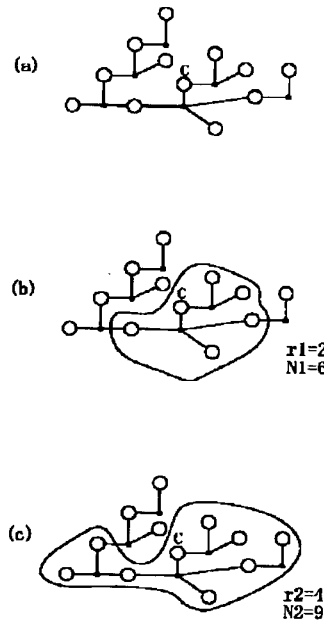
【図 7】



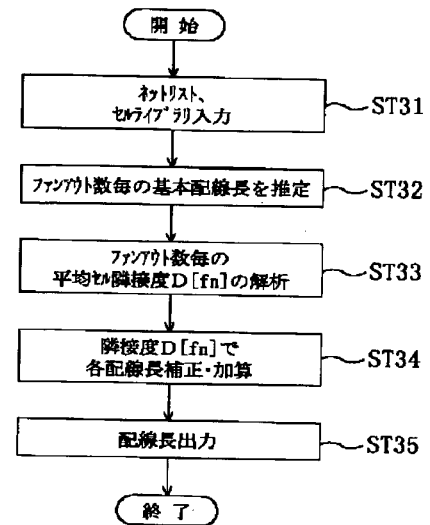
【図 5】



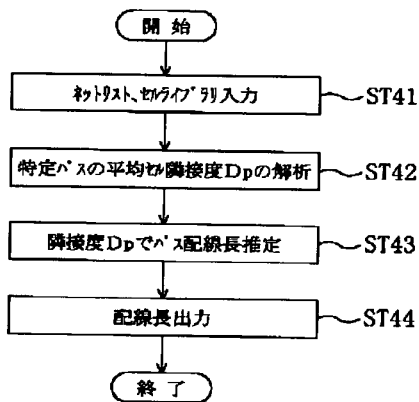
【図 6】



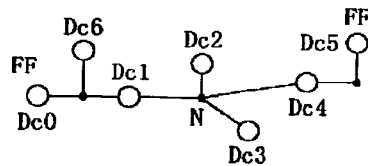
【図 8】



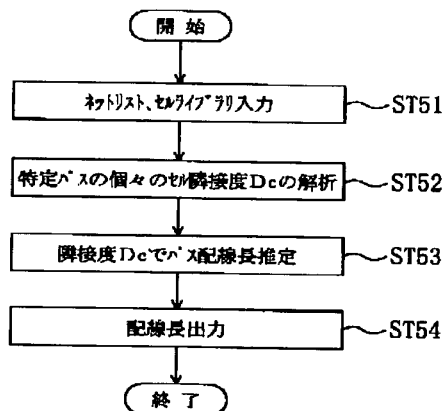
【図 9】



【図 10】



【図 11】



【図 1 2】

